

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-117190
 (43)Date of publication of application : 06.05.1998

(51)Int.Cl. H04L 7/10
 H04J 14/08
 H04B 10/28
 H04B 10/26
 H04B 10/14
 H04B 10/04
 H04B 10/06
 H04L 7/033

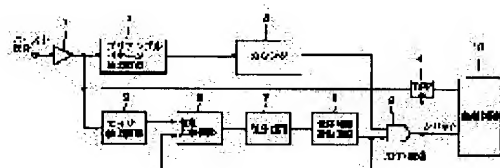
(21)Application number : 08-267276 (71)Applicant : OKI ELECTRIC IND CO LTD
 (22)Date of filing : 08.10.1996 (72)Inventor : YOSHIDA SATOSHI
 YAMAOKA SHINSUKE
 TAYA TAKASHI

(54) BURST SIGNAL REGENERATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the regeneration circuit that reduces power consumption in an optical subscriber device when no burst signal is in existence.

SOLUTION: Thus regeneration circuit detects a preamble pattern from an input signal received by an optical subscriber device by a preamble pattern detection circuit 2 to recover a burst signal at a prescribed logic circuit 10. An AND circuit 9 extracts a clock on the opportunity of detection of the preamble pattern of the input signal and the clock is fed to a logic circuit 10. A counter circuit 5 closes the AND circuit 9 in response to a length of a frame specific to the input signal, and when one frame of the input signal is received, the counter circuit 5 finishes count and provides an output of a low level to the AND circuit 9, then the AND circuit 9 blocks an output of the extracted clock to inactivate the logic circuit 10 of the next stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-117190

(43)公開日 平成10年(1998) 5月6日

(51)Int.Cl.⁶

識別記号

F I

H 0 4 L 7/10

H 0 4 L 7/10

H 0 4 J 14/08

H 0 4 B 9/00

D

H 0 4 B 10/28

Y

10/26

H 0 4 L 7/02

B

10/14

審査請求 未請求 請求項の数 3 O L (全 4 頁) 最終頁に続く

(21)出願番号

特願平8-267276

(22)出願日

平成8年(1996)10月8日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 ▲吉▼田 聡

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 山岡 信介

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 太矢 隆士

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

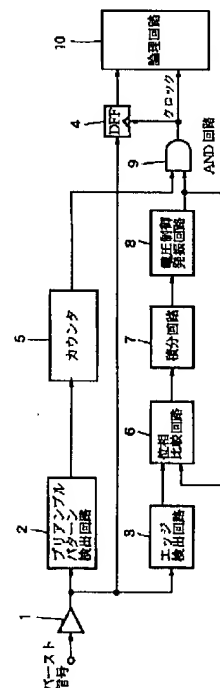
(74)代理人 弁理士 前田 実

(54)【発明の名称】 パースト信号再生回路

(57)【要約】

【課題】 パースト信号が無信号状態での光加入者装置における消費電力を低減できるパースト信号再生回路を提供する。

【解決手段】 光加入者装置で受信した入力信号から、プリアンプパタン検出回路2によりプリアンプパタンを検出して、所定の論理回路10でパースト信号を再生するパースト信号再生回路である。入力信号のプリアンプパタン検出を契機にしてAND回路9からクロックが抽出され、論理回路10に供給される。カウンタ回路5は、このAND回路9を入力信号に固有のフレーム長に応じて閉成するものであって、入力信号が1フレーム分入力されると、カウンタ回路5は計数を終了しAND回路9にLOWレベルを出力するため、AND回路9では、抽出クロックの出力を阻止し、後段の論理回路10が動作しなくなる。



【特許請求の範囲】

【請求項1】光加入者装置で受信したバースト信号に含まれるプリアンプルパタンから抽出されたクロック信号を所定の論理回路に供給して、時分割伝送信号を再生するバースト信号再生回路において、前記論理回路の前段でクロック信号をゲートするゲート手段と、

前記バースト信号に固有のフレーム期間が経過した後に前記ゲート手段を閉成するためのゲート信号を生成するゲート信号生成手段とを具備したことを特徴とするバースト信号再生回路。

【請求項2】前記ゲート信号生成手段は、前記バースト信号のフレーム長を計数するカウンタ回路であることを特徴とする請求項1に記載のバースト信号再生回路。

【請求項3】前記論理回路の前段で前記バースト信号をラッチするラッチ回路に対して、前記ゲート手段から出力されるクロック信号を供給するようにしたことを特徴とする請求項1又は2に記載のバースト信号再生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、光加入者装置で受信したバースト信号から時分割伝送信号を再生するためのバースト信号再生回路に関する。

【0002】

【従来の技術】1本の光伝送路で局(OCU)と加入者(DSU)とを結び、時分割で局から加入者、加入者から局へのデジタル信号の伝送を交互にバースト的に行なう時分割方向制御伝送方式が知られており、このような時分割方向制御伝送方式の加入者側の装置を光加入者装置という。

【0003】従来、この種の光加入者装置では、一般にアナログPLL回路などによるビット位同期回路を用いて、受信したバースト信号のプリアンプルパタンからクロックを再生し、このクロックに基づいて時分割伝送信号の送信データを読み取るバースト信号再生回路が不可欠である。ここで、バースト信号を正確に受信する必要から、上記ビット位同期回路において、例えば特開平5-83240号公報に開示されているもののよう

に、バースト信号の始まりと終わりのそれぞれの時点で位同期を確立するようにしたクロック再生回路が採用されている。

【0004】上記文献に開示されたクロック再生回路によれば、電源電圧変動や電圧制御発振器の経時変化が生じて、入力したバースト信号に対して位相が変動せず、かつ無信号状態でも位相変動を最小限に押さえることができる。したがって、バースト信号再生回路において、安定なクロックを再生して、データの読み取りエラーを減少させることができる。

【0005】

【発明が解決しようとする課題】上記構成のバースト信

号再生回路では、間欠的に伝送された局側からの送信データの時間間隔だけで、受信したバースト信号からデータを再生すれば足りるにもかかわらず、その光加入者装置にとっては無信号の受信状態のときも、クロックが再生され、それが後段の論理回路に出力されるように構成されていた。

【0006】したがって、後段の論理回路においては無信号期間でもバースト信号とクロックとに基づいて一定の電力が消費されるから、このような光加入者装置では無駄な電力が消費されるという欠点があった。

【0007】この発明は、上述のような課題を解決するためになされたもので、バースト信号が無信号状態での光加入者装置における消費電力を低減できるバースト信号再生回路を提供することを目的とするものである。

【0008】

【課題を解決するための手段】この発明の請求項1に係るバースト信号再生回路は、光加入者装置で受信したバースト信号に含まれるプリアンプルパタンから抽出されたクロック信号を所定の論理回路に供給して、時分割伝送信号を再生するバースト信号再生回路において、前記論理回路の前段でクロック信号をゲートするゲート手段と、前記バースト信号に固有のフレーム期間が経過した後に前記ゲート手段を閉成するためのゲート信号を生成するゲート信号生成手段とを具備したものである。

【0009】また、この発明のバースト信号再生回路は、ゲート信号生成手段が、前記バースト信号のフレーム長を計数するカウンタ回路であってもよい。

【0010】さらに、この発明のバースト信号再生回路は、論理回路の前段で前記バースト信号をラッチするラッチ回路に対して、前記ゲート手段から出力されるクロック信号を供給するものである。

【0011】

【発明の実施の形態】以下、添付した図面を参照して、この発明の実施の形態を説明する。

【0012】図1は、バースト信号再生回路の一例を示すブロック図である。図において、受信されたバースト信号は、入力バッファ回路1に供給される。入力バッファ回路1の出力側にはプリアンプルパタン検出回路2が接続されると共に、エッジ検出回路3に接続され、更にDフリップフロップからなるラッチ回路4の入力端子に接続される。

【0013】通常、バースト信号を受信して、そこからデータを再生する光加入者システムでは、転送されるバースト信号の1単位長の大きさを規定する固有のフレーム期間として所定の長さ、例えば2.5[ms](1フレーム長、1セル長)に規定されている。また、各単位バースト信号の先頭の数ビット分には、「1」、「0」の連続するパタン信号がプリアンプルパタンとして割り当てられている。つまり、特定のプリアンプルパターンが特定の加入者に対応して転送され、それが受信したバー

スト信号の中に含まれているかどうかによって、バースト信号がその個別の光加入者装置にとって有効な信号であるか、或いは無信号状態であるかの識別を可能にしている。

【0014】上記プリアンブルパタン検出回路2では、受信したバースト信号に含まれているプリアンブルパタンを検出しており、その出力端子はカウンタ回路5の入力端子と接続されている。

【0015】またエッジ検出回路3は、受信されたバースト信号のエッジを検出するものであって、位相比較回路6、積分回路7、電圧制御発振回路8とともに、局側の基準信号に同期したクロックを再生するためのアナログPLL回路を構成している。すなわち、エッジ検出回路3は位相比較回路6の第1の入力端子と接続され、この位相比較回路6の出力端子は積分回路7の入力端子に接続され、積分回路7の出力端子は電圧制御発振回路8の入力端子に接続され、電圧制御発振回路8の出力端子はAND回路9の第1の入力端子に接続されると共に、前記位相比較回路6の第2の入力端子に接続され、電圧制御発振回路8では、受信したバースト信号に同期したクロックを出力することができる。

【0016】上記カウンタ回路5は、バースト信号の1単位長に相当する時間が設定されたものであって、プリアンブルパタン検出回路2で検出されたプリアンブルパタンを基準にして計数を開始して、伝送されたバースト信号の1フレーム時間だけHIGHレベルの信号を出力する機能を有している。このカウンタ回路5はAND回路9の第2の入力端子に接続され、AND回路9の出力端子は上記ラッチ回路4のクロック入力端子に接続される。

【0017】また、論理回路10は再生されたクロックに基づいてバースト信号から時分割伝送信号を再生するためのものであって、AND回路9及びラッチ回路4の出力端子と接続されている。

【0018】次に、上記構成のバースト信号再生回路の動作について説明する。

【0019】まず、入力したバースト信号は初段の入力バッファ回路1によって波形整形され、論理レベルが十分識別可能な信号に整形される。

【0020】つぎに、波形整形されたバースト信号からはプリアンブルパタン検出回路2によってプリアンブルパタンが検出される。

【0021】さらに、プリアンブルパタンが検出されると、プリアンブルパタン検出回路2から後段のカウンタ回路5に対してカウント開始が通知される。

【0022】カウンタ回路5では入力信号の1フレーム分(1セル分)の時間が計数され、計数動作中はその出力として論理レベルのHIGHをAND回路9に出力する。カウンタ回路5がHIGHレベルのゲート信号を出力している間は、後段のAND回路9では、電圧制御発

振回路8から出力されたクロックをラッチ回路4及び論理回路10に出力することができる。

【0023】その後、バースト信号が1フレーム分入力され終わると、上記カウンタ回路5の計数が終了するから、AND回路9にはLOWレベルのゲート信号が出力される。AND回路9では、LOWレベルのゲート信号が入力されている間は、アナログPLL回路で抽出したクロックを後段の論理回路10へ出力しないために、論理回路10によるバースト信号の再生動作は停止される。

【0024】このように構成され、動作するバースト信号再生回路では、無信号期間に論理回路10へのクロック供給が停止されるので、光加入者装置における電力消費に無駄がなくなる。

【0025】上述した実施の形態では、ラッチ回路4のクロック入力端子にAND回路9からクロックを供給して、バースト信号をクロックに同期させて論理回路10に出力している。このため、無信号期間にはラッチ回路4にもAND回路9からクロックが供給されなくなつて、バースト信号が論理回路10に出力されない構成となっている。

【0026】さらに、論理回路10での再生動作を停止するためには、少なくとも論理回路10へのクロックの供給が停止されていれば足りるから、ラッチ回路4には電圧制御発振回路8からのクロックを直接に供給するように構成しても、同様の効果を奏することができる。

【0027】以上詳細に説明したように、この実施の形態のバースト信号再生回路によれば、プリアンブルパタンの検出を契機に、電圧制御発振回路8のクロック出力を後段の論理回路10に供給し、一定時間計数後には、電圧制御発振回路8から論理回路10へのクロックの供給を停止するように構成したので、無信号期間では論理回路10の動作が停止され、低消費電力化が図れる。

【0028】なお、本実施の形態ではビット位相同期回路としてアナログPLL回路を用いたものを説明したが、デジタルPLL回路など、その他のビット位相同期回路であっても同様に適用することができる。

【0029】また、ゲート信号生成手段として一定時間を計数するカウンタ回路5を用いたが、入力信号の始まりと終わりを識別する手段であればこれに限らず、例えば外部からリセット信号を供給するなどの手段であってもよい。

【0030】更に、本実施の形態では後段の論理回路10の動作を全て停止させる構成として説明したが、例えば特に電力消費量の大きな一部の論理回路のみにクロックを供給しないようにして、必要最低限の回路だけを動作させないような構成であってもよい。

【0031】

【発明の効果】この発明のバースト信号再生回路は、以上に説明したように構成されているので、バースト信号

5

が無信号状態での光加入者装置における消費電力を低減することができる。

【図面の簡単な説明】

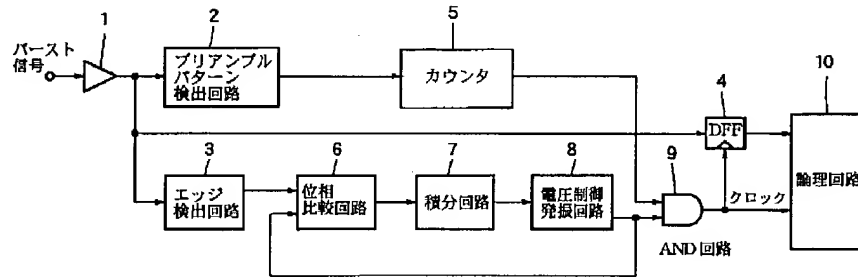
【図1】 この発明の実施形態のバースト信号再生回路を示すブロック図である。

【符号の説明】

6

1 入力バッファ回路、 2 プリアンプルパタン検出回路、 3 エッジ検出回路、 4 ラッチ回路、 5 カウンタ回路、 6 位相比較回路、 7 積分回路、 8 電圧制御発振回路、 9 AND回路、 10 論理回路。

【図1】



フロントページの続き

(51)Int.Cl.⁶

識別記号

F I

H 0 4 B 10/04

10/06

H 0 4 L 7/033